

#2 S.W.H  
11/29/01

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Gen SASAKI

SERIAL NO: NEW APPLICATION

FILED: HEREWITH

FOR: IMAGE PROCESSING CIRCUIT

GAU:

EXAMINER:

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS  
WASHINGTON, D.C. 20231



SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2000-302355	October 2, 2000

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and  
(B) Application Serial No.(s)
  - ☐ are submitted herewith
  - ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

Marvin J. Spivak  
Registration No. 24,913

C. Irvin McClelland  
Registration Number 21,124



22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 10/98)

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日  
Date of Application:

2000年10月 2日

出願番号  
Application Number:

特願2000-302355

出願人  
Applicant(s):

株式会社メガチップス

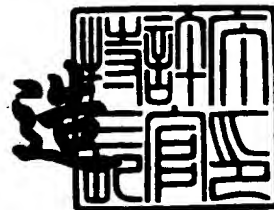


CERTIFIED COPY OF  
PRIORITY DOCUMENT

2001年 7月27日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



【書類名】 特許願

【整理番号】 P23-0246

【提出日】 平成12年10月 2日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 5/30

【発明者】

    【住所又は居所】 大阪市淀川区宮原4丁目1番6号 株式会社メガチップス内

    【氏名】 佐々木 元

【特許出願人】

    【識別番号】 591128453

    【氏名又は名称】 株式会社メガチップス

【代理人】

    【識別番号】 100089233

    【弁理士】

    【氏名又は名称】 吉田 茂明

【選任した代理人】

    【識別番号】 100088672

    【弁理士】

    【氏名又は名称】 吉竹 英俊

【選任した代理人】

    【識別番号】 100088845

    【弁理士】

    【氏名又は名称】 有田 貴弘

【手数料の表示】

    【予納台帳番号】 012852

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006492

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像処理回路

【特許請求の範囲】

【請求項 1】 撮像素子で撮像した原画像データを画像処理する画像処理回路であって、

前記原画像データを A/D 変換したデジタル画像データを圧縮する圧縮手段と

前記圧縮手段から転送された圧縮データを一時的に記憶するバッファ部と、

前記バッファ部から圧縮データを読み出して伸長する伸長手段と、

前記伸長手段から転送された伸長データに対して画像処理を実行する画像処理部と、

を備えることを特徴とする画像処理回路。

【請求項 2】 請求項 1 記載の画像処理回路であって、

前記撮像素子は、1 画面を構成する奇数ラインのみからなる奇数フィールドと偶数ラインのみからなる偶数フィールドとを時間的に異なるタイミングで読出すインターレース方式で駆動されており、

前記バッファ部は前記奇数フィールドと前記偶数フィールドのうち最初に出力される第 1 フィールドの圧縮データを前記圧縮手段から転送されて格納しておき

前記画像処理部は、他方の第 2 フィールドの入力と同期させて前記バッファ部に格納した前記第 1 フィールドを読み出し、前記第 1 および第 2 フィールドに対して実時間の画像処理を実行する、画像処理回路。

【請求項 3】 請求項 1 または 2 記載の画像処理回路であって、

前記圧縮手段および前記伸長手段と前記バッファ部との間のデータ転送がダイレクトメモリアクセス方式で制御される、画像処理回路。

【請求項 4】 請求項 1 ～ 3 の何れか 1 項に記載の画像処理回路であって、前記デジタル画像データをブロックに分割して前記圧縮手段に出力する分割手段をさらに備え、

前記圧縮手段および前記伸長手段は前記ブロック単位で圧縮および伸長処理を

実行する、画像処理回路。

【請求項 5】 請求項 4 記載の画像処理回路であって、前記伸長手段で伸長した伸長データのうち予め特定された欠陥画素データを含むブロックを検出し、当該欠陥画素データを補正したブロックを前記圧縮手段に出力する手段をさらに備える画像処理回路。

【請求項 6】 請求項 4 記載の画像処理回路であって、前記伸長手段で伸長した伸長データを前記画像処理部に出力する前に欠陥検査し、検出された欠陥画素データをもつブロックを正常なブロックに置き換えて前記圧縮手段に出力する欠陥検査補正手段をさらに備える画像処理回路。

【請求項 7】 請求項 4 ～ 6 の何れか 1 項に記載の画像処理回路であって、前記分割手段は前記デジタル画像をライン単位でブロックに分割する、画像処理回路。

【請求項 8】 請求項 1 ～ 7 の何れか 1 項に記載の画像処理回路であって、前記圧縮手段で前記デジタル画像データを圧縮する前に、当該デジタル画像データの画素値の差分値を算出し、その差分データを前記圧縮手段に出力する差分値算出手段をさらに備える画像処理回路。

【請求項 9】 請求項 8 記載の画像処理回路であって、前記差分値算出手段は時間軸に沿って隣接する画素の画素値の差分値を算出する、画像処理回路。

【請求項 10】 請求項 8 記載の画像処理回路であって、前記差分値算出手段は時間軸に沿った 1 画素おきの 2 画素の画素値の差分値を算出する、画像処理回路。

【請求項 11】 請求項 8 記載の画像処理回路であって、前記差分値算出手段は前記デジタル画像データの 2 ラインの垂直方向に隣接する 2 画素の画素値の差分値を算出する、画像処理回路。

【請求項 12】 請求項 8 記載の画像処理回路であって、前記差分値算出手段は前記デジタル画像データの 1 ラインおきの 2 ラインの垂直方向に隣接する 2 画素の画素値の差分値を算出する、画像処理回路。

【請求項 13】 請求項 8 記載の画像処理回路であって、前記撮像素子の駆動方式に合わせて、請求項 11 記載の差分値算出手段と請求項 12 記載の差分値

算出手段との何れか一方が選択される、画像処理回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、デジタルスチルカメラなどの撮影装置で撮像した画像データを画像処理する画像処理回路に関するものである。

【0002】

【従来の技術】

図13は、一般的なデジタルスチルカメラ100の構成を示す概略図である。図示するように、搭載されたCCDセンサやCMOSセンサなどの撮像素子105で撮像した原画像信号はデジタル画像信号にA/D変換された後に画像処理部106に取り込まれ、画素補間処理、色空間変換処理、輪郭補正処理などの種々の画像処理を施される。画像処理を施された画像データは液晶モニタ109などのファインダーで表示されると共に、必要に応じてその画像データをメモ리카ード110に格納されたり、インターフェース111を介してパーソナル・コンピュータなどの外部機器に出力される。尚、図13において、符号101は光学レンズ、102は色補正フィルタ、103は光学LPF（ローパスフィルタ）、104は色フィルタアレイ、107は撮像素子105などを駆動制御する駆動部を示している。

【0003】

前記画像処理部106では、図14に示すように撮像素子105で撮像した原画像データはデジタル画像信号に変換された後に、一旦、内蔵メモリ108の原画像データバッファ108aに蓄積される（ステップ100）。次にハードウェアで構成されるリアルタイム・プロセッシング・ユニット（以下、RPUと呼ぶ。）120は、原画像データバッファ108aに格納した原画像データを読み出して、上記画素補間処理、色変換処理および輪郭強調処理などの画像処理を実時間処理にて実行し、その処理データを処理データバッファ108bに出力し蓄積する（ステップ101）。次に、CPU（中央制御部）121は、指示されたタイミングで処理データバッファ108bから処理データを読み出し、ソフトウェア

処理により一時記憶バッファ108cを用いてJ P E G (Joint Photographic Experts Group) 方式などで圧縮し、上記メモリカードなどの記憶媒体122に格納する(ステップ102)。

#### 【0004】

##### 【発明が解決しようとする課題】

近年のデジタルスチルカメラでは小型軽量化が進んでおり、上記内蔵メモリ108は、D R A M (Dynamic Random Access Memory) や S D R A M (Synchronous DRAM) などで構成されるが、内蔵メモリ108で使用するバッファ領域108a~108cは大規模になり、チップのコストや消費電力が大きいという問題がある。

#### 【0005】

また上記撮像素子105には、1画面を構成する偶数ラインと奇数ラインの2つのフィールドを時間的に全く異なるタイミングで読出すインターレース(飛び越し走査)方式のものと、各ラインを順次読出すプログレッシブ(順次走査)方式のものの何れかが採用される。インターレース方式を採用した場合は、例えばR P U 1 2 0で画素補間処理を実行する際、当該ラインと前後の複数ラインとを合わせた3~5ライン程度を同時に処理する必要があるため、原画像データバッファ108aに奇数ラインのフィールドを蓄積した後に偶数ラインのフィールドを取り込み、プログレッシブ方式のデータに変換し、その後R P U 1 2 0に出力する必要がある。このため内蔵メモリ108のバッファ領域を削減するにも限界があった。

#### 【0006】

このような問題に鑑みて本発明が解決しようとするところは、メモリに設けるバッファ領域を削減し得て、メモリのコストと消費電力を大幅に削減し得る画像処理回路を提供する点にある。

#### 【0007】

##### 【課題を解決するための手段】

上記課題を解決するため、請求項1に係る発明は、撮像素子で撮像した原画像データを画像処理する画像処理回路であって、前記原画像データをA/D変換し



たデジタル画像データを圧縮する圧縮手段と、前記圧縮手段から転送された圧縮データを一時的に記憶するバッファ部と、前記バッファ部から圧縮データを読み出して伸長する伸長手段と、前記伸長手段から転送された伸長データに対して画像処理を実行する画像処理部と、を備えることを特徴とするものである。

## 【0008】

また請求項2に係る発明は、請求項1記載の画像処理回路であって、前記撮像素子は、1画面を構成する奇数ラインのみからなる奇数フィールドと偶数ラインのみからなる偶数フィールドとを時間的に異なるタイミングで読出すインターレース方式で駆動されており、前記バッファ部は前記奇数フィールドと前記偶数フィールドのうち最初に出力される第1フィールドの圧縮データを前記圧縮手段から転送されて格納しておき、前記画像処理部は、他方の第2フィールドの入力と同期させて前記バッファ部に格納した前記第1フィールドを読み出し、前記第1および第2フィールドに対して実時間の画像処理を実行するものである。

## 【0009】

また請求項3に係る発明は、請求項1または2記載の画像処理回路であって、前記圧縮手段および前記伸長手段と前記バッファ部との間のデータ転送がダイレクトメモリアクセス方式で制御されるものである。

## 【0010】

また請求項4に係る発明は、請求項1～3の何れか1項に記載の画像処理回路であって、前記デジタル画像データをブロックに分割して前記圧縮手段に出力する分割手段をさらに備え、前記圧縮手段および前記伸長手段は前記ブロック単位で圧縮および伸長処理を実行するものである。

## 【0011】

また請求項5に係る発明は、請求項4記載の画像処理回路であって、前記伸長手段で伸長した伸長データのうち予め特定された欠陥画素データを含むブロックを検出し、当該欠陥画素データを補正したブロックを前記圧縮手段に出力する手段をさらに備える。

## 【0012】

また請求項6に係る発明は、請求項4記載の画像処理回路であって、前記伸長

手段で伸長した伸長データを前記画像処理部に出力する前に欠陥検査し、検出された欠陥画素データをもつブロックを正常なブロックに置き換えて前記圧縮手段に出力する欠陥検査補正手段をさらに備える。

## 【 0 0 1 3 】

また請求項 7 に係る発明は、請求項 4 ～ 6 の何れか 1 項に記載の画像処理回路であって、前記分割手段は前記デジタル画像をライン単位でブロックに分割するものである。

## 【 0 0 1 4 】

また請求項 8 に係る発明は、請求項 1 ～ 7 の何れか 1 項に記載の画像処理回路であって、前記圧縮手段で前記デジタル画像データを圧縮する前に、当該デジタル画像データの画素値の差分値を算出し、その差分データを前記圧縮手段に出力する差分値算出手段をさらに備える。

## 【 0 0 1 5 】

また請求項 9 に係る発明は、請求項 8 記載の画像処理回路であって、前記差分値算出手段は時間軸に沿って隣接する画素の画素値の差分値を算出するものである。

## 【 0 0 1 6 】

また請求項 1 0 に係る発明は、請求項 8 記載の画像処理回路であって、前記差分値算出手段は時間軸に沿った 1 画素おきの 2 画素の画素値の差分値を算出するものである。

## 【 0 0 1 7 】

また請求項 1 1 に係る発明は、請求項 8 記載の画像処理回路であって、前記差分値算出手段は前記デジタル画像データの 2 ラインの垂直方向に隣接する 2 画素の画素値の差分値を算出するものである。

## 【 0 0 1 8 】

また請求項 1 2 に係る発明は、請求項 8 記載の画像処理回路であって、前記差分値算出手段は前記デジタル画像データの 1 ラインおきの 2 ラインの垂直方向に隣接する 2 画素の画素値の差分値を算出するものである。

## 【 0 0 1 9 】

そして請求項 1 3 に係る発明は、請求項 8 記載の画像処理回路であって、前記撮像素子の駆動方式に合わせて、請求項 1 1 記載の差分値算出手段と請求項 1 2 記載の差分値算出手段との何れか一方が選択されるものである。

#### 【 0 0 2 0 】

##### 【発明の実施の形態】

図 1 は、本発明の実施の形態に係るデジタルスチルカメラ（撮影装置） 1 の全体構成を示す概略ブロック図である。このデジタルスチルカメラ 1 においては、A F（オートフォーカス）機能を備えた光学系や絞り機構などからなる光学機構 1 1 を通して、被写体の画像が C C D（電荷結合素子） 1 2 で撮像される。このとき必要に応じてストロボ 2 0 を用いて被写体に光を照射すればよい。撮像した被写体の原画像データはアナログ信号処理回路 1 3 に取り込まれデジタル画像信号に A/D 変換される。

#### 【 0 0 2 1 】

このデジタル画像信号は、後に詳述するように画像圧縮伸長回路 9 で圧縮され、主メモリ 2 6 に転送されてそのバッファ領域に格納される。また、その圧縮データは画像圧縮伸長回路 9 で伸長され、リアルタイム・プロセッシング・ユニット（以下、R P U と略す。） 1 4 において後に詳述するように伸長された画像信号に対して画素補間処理、色空間変換処理、輪郭補正処理、フィルタリングおよび間引き処理などの所定の画像処理を実時間処理にて実行する。

#### 【 0 0 2 2 】

このように実時間処理を施された画像信号をファインダーとして機能する L C D 2 3 で表示し、また C P U 1 7 にて J P E G 圧縮処理などの画像処理をした後に、メモ리카ード 2 7 に格納したり、外部インターフェース（I/F） 2 8 を通じてパーソナルコンピュータなどの外部機器に出力したりすることができる。尚、D R A M や S D R A M、R D R A M（Rambus D R A M）などからなる主メモリ 2 6 には、R P U 1 4 で処理したデータを一時的に格納するバッファ領域や、C P U 1 7 でソフトウェア処理を実行する際に一時的に利用されるバッファ領域などが設けられている。

#### 【 0 0 2 3 】

尚、図1において、符号15はCCD12を駆動するCCD駆動回路、16はRPU14およびCCD駆動回路15などの動作タイミングを規律するタイミングジェネレータ、18はPLL発信回路、19はCPU17の補助演算装置であるコプロセッサを示しており、また符号20はディスプレイモジュール、21はデジタルエンコーダ21、22はLCD23を駆動するLCD駆動回路を示している。

#### 【0024】

また、画像圧縮伸長回路9、主メモリ26、外部インターフェース28およびメモリカード27は、DMA（ダイレクトメモリアクセス）コントローラ24やJPEG処理部25と共にメインバス10を介して相互にバス接続されており、これら各要素間のデータ転送は、DMAコントローラ24の制御によりCPU17を介さずにメインバス10を通じて直接実行することが可能である。これによりCPU17の負荷が低減すると共に、主メモリ26を効率的に利用することが可能となる。

#### 【0025】

また被写体画像をLCD（ファインダー）23で表示する場合、CCD12から連続的に出力される被写体画像（フレーム）は、RPU14にて解像度を若干落とす処理などの実時間画像処理をなされた後に、LCD23に動画像として順次表示される。操作者はLCD23に表示される被写体画像を取り込む（撮影する）ときには、デジタルスチルカメラ1に搭載される撮影ボタン（図示せず）を押せばよい。デジタルスチルカメラ1のCPU17は撮影ボタンを押した時点の被写体画像データに対して前述のJPEG圧縮処理を行い、その圧縮データをメモリカード27などの記憶媒体に格納したり、外部インターフェース28を介して外部機器に出力したりする。

#### 【0026】

またアナログ信号処理回路13から出力されたデジタル画像データはRPU14に直接出力され上記した実時間画像処理を施されてもよいし、画像圧縮伸長回路9を介して主メモリ26に一時的に格納した後にRPU14に読み込ませ、上記した実時間画像処理を施されてもよい。例えば、ハードウェアで構成されるR

P U 1 4 では実行できない一部処理を C P U 1 7 においてソフトウェア上で実行することにより、全ての画像処理をソフトウェア上で実行する場合と比較して数倍乃至数十倍の処理速度の向上が可能となり、また C P U 1 7 における処理が減るため消費電力を削減することが可能となる。

## 【 0 0 2 7 】

前記 C C D 1 2 は、一般的に電荷蓄積部および電荷転送部を内部に備えており、1画面を構成する奇数ラインのみからなる奇数フィールドと偶数ラインのみからなる偶数フィールドとをそれぞれ時間的に異なるタイミングで読出し駆動されるインターレース（飛び越し走査）方式のものと、各ラインを順次読出し駆動されるプログレッシブ（順次走査）方式のものの何れかが選択的に使用される。本実施の形態では撮像素子として C C D を使用するが、これに限らず、電荷転送部をもたない C M O S センサでもよい。

## 【 0 0 2 8 】

前記 R P U 1 4 は、図 2 のブロック図に示すように、デジタル画像信号を画素単位で処理する単一画素処理部（Single Pixel Processing Block）1 4 a と、後に詳述する画素補間を実行し且つガンマ特性を補正（ガンマ補正）する画素補間・ガンマ処理部（Interpolation & Gamma Processing Block）1 4 b と、色空間変換・色抑圧処理部（Color Space Conversion & False Color Suppression Block）1 4 c と、空間フィルタ・コアリング処理部（Spatial Filter & Coring Block）1 4 d と、これら各部 1 4 a ～ 1 4 d で処理した画像データをメインバス 1 0 に出力する出力部（Resizing Block）1 4 e とを備えている。

## 【 0 0 2 9 】

実施の形態 1.

図 3 は、以上の構成を有するデジタルスチルカメラ（撮影装置）1 において、実施の形態 1 に係る画像処理回路による画像信号処理の流れを示す概略ブロック図である。

## 【 0 0 3 0 】

図示するように、C C D 1 2 で撮像した C C D データ（原画像データ）は、上記アナログ信号処理回路 1 3 でデジタル画像信号に A / D 変換された後に、上記

画像圧縮伸長回路 9 の圧縮手段 31 A で 2 値算術符号化やハフマン符号化などのエントロピー符号化処理などにより圧縮され、上記メインバス 10 を介して主メモリ 26 に設けた原画像データバッファ 26 a に転送され一時的に格納される（ステップ 10）。ここで、前記 CCD データはインターレース方式、プログレッシブ方式の何れで出力されたものでも構わない。

#### 【0031】

次に、原画像データバッファ 26 a に格納した圧縮データは、上記画像圧縮伸長回路 9 の伸長手段 31 B でエントロピー逆符号化処理などにより伸長され、その画素データが上記 RPU 14 に順次出力される（ステップ 11）。また前記圧縮データの伸長処理と並行して、RPU 14 は入力する画素データに対して上記単一画素処理部 14 a、画素補間・ガンマ処理部 14 b、色空間変換・色抑圧処理部 14 c および空間フィルタ・コアリング処理部 14 d の各部で実時間（リアルタイム）で画像処理を実行し、上記出力部 14 e から出力されたその処理データはフレーム単位で、主メモリ 26 に設けた処理データバッファ 26 b に転送されて格納される。尚、本実施の形態では、圧縮伸長処理速度を高めるべく圧縮手段 31 A および伸長手段 31 B にてハードウェア処理を実行したが、この代わりに同種のソフトウェア処理を CPU 17 で実行してもよい。

#### 【0032】

前記単一画素処理部 14 a は、デジタル画像信号の画素毎に乗算および加算の一方または双方の演算を行うことで、複数フレーム間での経時的平均化処理、および単一フレーム内でのシェーディング補正処理の何れかを選択的に行うものである。一般に上記 CCD 12 で対象物や風景などを撮影する場合にレンズの光学的作用などに起因して中心位置と較べて周辺の輝度値が低下する現象はシェーディングと呼ばれている。前記シェーディング補正処理では、そのシェーディングを緩和するために各画素における輝度値などのゲイン調整が実行される。

#### 【0033】

前記画素補間・ガンマ処理部 14 b は、一旦主メモリ 26 に格納した画像データを DMA コントローラ 24 の制御によりメインバス 10 を介して取り込むことができる。尚、RPU 14 の初段の単一画素処理部 14 a だけでなく、次段の画

素補間・ガンマ処理部 1 4 b にもメインバス 1 0 を介して画像データを直接入力できるから、CPU 1 7 で画像処理を施した画像データを単一画素処理部 1 4 a を経由させずに、直接、画素補間・ガンマ処理部 1 4 b で処理することが可能である。

## 【 0 0 3 4 】

前記色空間変換・色抑圧処理部 1 4 c は、原信号がカラー画像信号の場合に RGB の 3 色系や 4 色系 ( Y M C G 系など ) など表現される画像データを他の色空間座標系に変換する色空間変換機能と、画像中の明部と暗部の色抑圧 ( クロマサプレス ; 偽色防止 ) を行う色抑圧機能とを有している。色空間変換機能で使用される変換先の座標系には、NTSC ( National Television System Committee ) 方式などで採用されている YUV 座標系、YIQ 座標系、 $YC_bC_r$  座標系などを使用すればよい。例えば、色成分変換に  $YC_bC_r$  座標系を使用した場合、その RGB 成分は輝度信号 Y と 2 つの色差信号  $C_b$ 、 $C_r$  とからなる  $YC_bC_r$  成分の座標系へと変換される。 $YC_bC_r$  成分は RGB 成分よりも各成分間の相関が小さいため、画像サイズを圧縮することが可能となる。

## 【 0 0 3 5 】

また、一般に画像中の暗部は、様々なノイズの影響を受けやすい性質をもつため、暗部ではできるだけ発色を抑制することが自然な画質を出力することにつながる。一方、画像中の明部は、当該暗部を撮像した CCD やその他の種々のハードウェア部品の特性に応じて変調がかかりやすい部分であり、ホワイトバランスが狂いやすい部分であるため、できるだけ発色を抑制することが自然な画質を出力することにつながる。これらの事柄を考慮して、前記色抑制機能では画像中の明部と暗部における発色が抑制される。

## 【 0 0 3 6 】

以上の画像処理を実行した後に CPU 1 7 は、デジタルスチルカメラ 1 の操作者が撮影ボタンを押した時点、もしくは外部インターフェース 2 8 に接続された外部機器から制御された時点などにおける画像 ( フレーム ) を処理データバッファ 2 6 b から読み出し、一時記憶データバッファ 2 6 c を利用して、例えば DCT ( 離散コサイン変換 ) やウェーブレット変換などを用いた JPEG 圧縮の高能

率符号化処理などのソフトウェア処理を施し、そしてその処理データを上記メモリカード27や外部インターフェース28に接続した外部機器などの記憶媒体30に格納し保存する（ステップ12）。

## 【0037】

このように本実施の形態1によれば、原画像データを一旦圧縮して主メモリ26に格納し、その圧縮データを伸長しながら読み出してRPU14で実時間画像処理を実行しているから、主メモリ26のバッファ領域を減らすことが可能となる。このためCCD12の画素数に合わせて主メモリ26のサイズなどを最小化し、バッファ領域を最適化することが可能となる。

## 【0038】

また、図4に示すように本実施の形態ではさらに、圧縮手段31Aおよび伸長手段31Bを備えた画像圧縮伸長回路9と主メモリ26との間、およびRPU14と主メモリ26との間のデータ転送は、CPU17を介さずにDMAコントローラ24で制御されるDMA方式で実行されるのが望ましい。

## 【0039】

実施の形態2.

上記実施の形態1に係る画像処理回路は特にインターレース方式で駆動される撮像素子に対して有効である。図5は、上記実施の形態1に係る画像処理回路をインターレース方式のCCD12に適用した、実施の形態2に係る画像処理回路による画像信号処理の流れを示すブロック図である。

## 【0040】

図示するように、まず、CCDデータとして1画面を構成する奇数ラインのみからなる奇数フィールドと偶数ラインのみからなる偶数フィールドとの一方のフィールド（以下、第1フィールドと呼ぶ。）が上記アナログ信号処理回路13でA/D変換された後に上記画像圧縮伸長回路9の圧縮手段31Aで圧縮され、この圧縮データはDMAコントローラ24の制御により画像圧縮伸長回路9から主メモリ26に設けた原画像データバッファ26aに向けてDMA方式で直接転送され格納される（ステップ20）。

## 【0041】



次に、前記第1フィールドを原画像データバッファ26aに格納した後に、他方のフィールド（以下、第2フィールドと呼ぶ。）の画素データが上記アナログ信号処理回路13でA/D変換された後にRPU14に順次入力すると共に、前記第1フィールドの圧縮データが原画像データバッファ26aから画像圧縮伸長回路9の伸長手段31Bに向けてDMA方式で転送されて読み出される。RPU14は、伸長手段31Bで伸長された第1フィールドを前記第2フィールドと同期させて読出し、上記した実時間画像処理を実行して、その処理データをDMA方式で主メモリ26の処理データバッファ26bに直接転送し格納させる（ステップ21）。

#### 【0042】

以上のようにRPU14で実時間画像処理を受け処理データバッファ26bに格納された画像データは、指令を受けた時点でCPU17に読み出される。CPU17は一時記憶データバッファ26cを利用してJPEG圧縮処理などのソフトウェア処理を施し、そしてその処理データを上記メモリカード27や外部インターフェース28に接続した外部機器などの記憶媒体30に格納し保存する（ステップ22）。

#### 【0043】

このように、第1フィールドのデータ（1/2フレーム分）は圧縮された状態で主メモリ26に格納されるから、主メモリ26のバッファ領域を節減できると共に、圧縮伸長手段31A、31Bと主メモリ26との間のデータ転送はDMA方式でなされ、第2フィールドの読出し期間中に、RPU14で第1フィールドと第2フィールドに対して画素補間処理、色変換処理および輪郭強調処理などの実時間画像処理を実行できるため、第2フィールドの読出しが終了した瞬間にその実時間画像処理を効率良く終了させることが可能となる。このため撮像した画像を時間の遅延を殆ど感じさせることなくLCD23でファインダー表示させることが可能となる。

#### 【0044】

尚、CCD12などの撮像素子で撮像した画像信号に対して上記実時間画像処理を行う場合、例えば画素補間処理において偶数ラインと偶数ラインとを含む3

〜5ラインの画素データを参照し一括処理する必要がある。このため、インターレース方式のCCDに対して上記実時間処理を行う場合には、従来はRPU14に1フィールド分のラインメモリを用意していたが、このラインメモリの回路全体に占める割合は非常に大きく、装置の小型軽量化に合致しないものであり、またラインメモリを制限すれば処理可能な画素数が小さく制限されてしまう。本実施の形態では、主メモリ26に格納したデータをRPU14にDMA方式で直接転送して実時間画像処理するから、RPU14に1フィールド分のラインメモリを用意する必要が無く、また主メモリ26の容量のため処理可能な水平画素数の制限を受け難いという利点がある。

## 【0045】

実施の形態3.

次に、図6は、本発明の実施の形態3に係る画像処理回路による画像信号処理の流れを示すブロック図である。

## 【0046】

図示するように、CCDデータは上記アナログ信号処理回路13でA/D変換された後に画像圧縮伸長回路9の分割手段32に入力し、リアルタイムで複数のブロックに分割される(ステップ30)。このとき、入力画像信号の1フレームは、RPU14で処理可能な複数ラインを一単位としてもしくは1ラインを一単位として分割されてもよいし、また1フレームを垂直および水平方向の升目で複数に分割した分割画像(タイル)を一単位としてもよい。

## 【0047】

このような画像データは上記圧縮手段31Aにおいてエントロピー符号化処理などでブロック単位で圧縮されて主メモリ26の原画像データバッファ26aに転送されて格納される(ステップ31)。この圧縮データの転送は上述のDMA方式で画像圧縮伸長回路9から主メモリ26に直接なされてもよい。次に、原画像データバッファ26aに格納した圧縮データは上記伸長手段31Bに転送されてブロック単位で伸長され、その伸長データの画素データがRPU14に順次出力され、上記した実時間画像処理が実行される。そのRPU14での処理したデータは、主メモリ26の処理データバッファ26bに出力転送されてフレーム単

位で格納される（ステップ 3 2）。

【 0 0 4 8 】

そして、CPU 1 7 は、指令を受けた時点における画像（フレーム）を処理データバッファ 2 6 b から読出し、一時記憶データバッファ 2 6 c を利用して J P E G 圧縮処理などのソフトウェア処理を実行し、その処理データを上記メモリカード 2 7 や外部インターフェース 2 8 に接続した外部機器などの記憶媒体 3 0 に格納し保存する（ステップ 3 3）。

【 0 0 4 9 】

このように本実施の形態 3 では、ブロック単位で圧縮伸長処理を行うから、或るブロックで欠陥が発見されても当該ブロックのみに当該欠陥の影響を抑えることが可能となる。

【 0 0 5 0 】

実施の形態 4 .

図 7 は、上記実施の形態 3 を改良した実施の形態 4 に係る画像処理回路による画像信号処理の流れを示す概略ブロック図である。本実施の形態は、圧縮手段 3 1 A の接続先を分割手段 3 2 および CPU 1 7 の何れか一方に切り換えるセレクタ 3 3 と、伸長手段 3 1 B で伸長されたブロックの欠陥検査とその欠陥補正をソフトウェア処理で実行する CPU 1 7 とを備えていることが特徴である。

【 0 0 5 1 】

図示するように A / D 変換された CCD データは画像圧縮伸長回路 9 の分割手段 3 2 に入力し、前述の通りリアルタイムで所定のビット長の複数のブロックに分割される（ステップ 4 0）。分割された画像信号はセレクタ 3 3 を介して上記圧縮手段 3 1 A に入力し、エントロピー符号化処理などによりブロック単位で圧縮され、主メモリ 2 6 の原画像データバッファ 2 6 a に転送されて一時的に格納される（ステップ 4 1）。

【 0 0 5 2 】

次に、原画像データバッファ 2 6 a に格納された圧縮データは伸長手段 3 1 B に転送されて伸長される。ここで CCD などの撮像素子の欠陥画素は、製造工程またはその後工程におけるテストで事前に判明しており、その欠陥画素アドレス

はデジタルスチルカメラ1の中の不揮発性メモリや主メモリ26などに書き込まれている。CPU17は、所要のソフトウェアプログラムを用いて前記不揮発性メモリなどを参照し、伸長されたブロックを読み出し欠陥画素データを含むブロックを検出すると当該ブロックの欠陥画素データを補正する。次いでCPU17はセレクタ33を制御して圧縮手段31AとCPU17とを接続させ、補正後のブロックを圧縮手段31Aに出力して主メモリ26の原画像データバッファ26aに転送させて格納させる。

## 【0053】

CCD12の欠陥画素補正では、画像中に欠陥画素が含まれていた場合は、例えばこの欠陥画素と同じ色成分として1段階前に入力された正常な画素データで欠陥画素データを置き換えて補充する手法がある。通常のCCD12は1フレーム中に数百万画素を有するので、稀に欠陥画素が発生してもこのような比較的簡単な方法で欠陥画素を置き換えて補充することで十分に肉視に耐え得る画像を得ることができる。

## 【0054】

その後、欠陥が補正された正常なブロックが伸長手段31Bで伸長されると、その伸長された画素データが順次RPU14に出力され上記した実時間画像処理を施された後に、処理データバッファ26bに転送されフレーム単位で格納される(ステップ42)。続く処理は上記実施の形態2で説明した上記ステップ33の処理内容と同様である。

## 【0055】

本実施の形態では、ブロック単位で欠陥画素データを補正することが可能であり、高品位の画像をファインダーなどに高速に表示し且つ記憶媒体に保存することが可能となる。

## 【0056】

実施の形態5.

次に、図8は、上記実施の形態3を改良した実施の形態5に係る画像処理回路による画像信号処理の流れを示す概略ブロック図である。本実施の形態では、A/D変換されたCCDデータは画像圧縮伸長回路9の分割手段32Aに入力し、

リアルタイムでライン毎に分割される（ステップ50）。次に、分割された画像信号は圧縮手段31Aでライン毎に圧縮された後に、CPU17またはDMAコントローラ24の制御により主メモリ26の原画像データバッファ26aに転送されて格納される（ステップ51）。

## 【0057】

次に、原画像データバッファ26aに格納した圧縮データは伸長手段31Bに転送されてライン毎に伸長され、この伸長データは画像圧縮伸長回路9の欠陥検出手段34でライン毎に欠陥検出処理を施される。欠陥検出手段34がラインに圧縮伸長時に生じた欠陥を検出しない場合は、セクタ35はRPU14と伸長手段31Bとを接続しているから伸長データは伸長手段31BからRPU14に転送されるが、欠陥検出手段34がラインに欠陥を検出した場合は、セクタ35を制御してRPU14と当該ラインの前のラインのデータを格納したラインメモリなどとの間に接続を切り換えさせ、当該ラインに替えて前のラインのデータをRPU14に出力させる（ステップ52）。これによりライン単位で欠陥画素データを検出して補正し、高品位の画像をファインダーなどに高速に表示し且つ記憶媒体に保存することが可能となる。

## 【0058】

尚、本実施の形態5は上記CCDデータをライン単位で分割しライン単位で欠陥検出処理を行うものであったが、この代わりにCCDデータをブロック単位に分割しブロック単位で欠陥検出を行うものでも構わない。

## 【0059】

## 実施の形態6.

上記実施の形態1～5においてA/D変換されたCCDデータを上記圧縮手段31Aで圧縮する前に、画素データの画素値の差分値を算出してデータを圧縮させることが望ましい。図9（a）は、本発明の実施の形態6に係る差分圧縮方法を説明するための概略図、同図（b）はその差分圧縮を実現する構成例を示す概略ブロック図である。図9（b）に示す通り、上記アナログ信号処理回路13でA/D変換されたCCDデータは差分値算出手段41に入力し、フレームを構成する各ラインにおいて時間軸に沿って隣接する画素の画素値の差分値を算出する

ことで差分データに変換される。すなわち、図 9 (a) に示す通り、差分値算出手段 4 1 は、1 ラインの CCD データ 4 0 を構成する画素  $4 0_1$ ,  $4 0_2$ ,  $4 0_3$ , … の隣接する 2 画素  $4 0_1$  と  $4 0_2$ 、2 画素  $4 0_2$  と  $4 0_3$ 、2 画素  $4 0_3$  と  $4 0_4$ 、… 間でそれぞれ同一色成分の画素値の差分値を算出し差分データを生成する。次に、圧縮手段 3 1 A でこのような差分データに対してエントロピー符号化処理などの可逆符号化処理を実行し、その圧縮データが上記主メモリ 2 6 の原画像データバッファ 2 6 a に転送されて格納される。

## 【 0 0 6 0 】

## 実施の形態 7.

また差分圧縮処理の他の例を本発明の実施の形態 7 として図 1 0 に示す。図 1 0 (a) は、実施の形態 7 に係る差分圧縮方法を説明するための概略図、同図 (b) は、その差分圧縮を実現する構成例を示す概略ブロック図である。同図に示すように、A/D 変換された CCD データは差分値算出手段 4 4 に入力し、フレームを構成する各ラインにおいて時間軸に沿った一画素おきの画素の画素値の差分値を算出することで差分データに変換される。すなわち、図 1 0 (a) に示す通り、差分値算出手段 4 4 は、1 ラインの CCD データを構成する画素  $4 0_1$ ,  $4 0_2$ ,  $4 0_3$ , … の 1 画素おきの 2 画素  $4 0_1$ ,  $4 0_3$ 、2 画素  $4 0_2$ ,  $4 0_4$ 、2 画素  $4 0_3$ ,  $4 0_5$ , … 間でそれぞれ同一色成分の画素値の差分値を算出し差分データを生成する。次に、圧縮手段 3 1 A でこのような差分データに対してエントロピー符号化処理などの可逆符号化処理を実行し、その圧縮データが上記主メモリ 2 6 の原画像データバッファ 2 6 a に転送されて格納される。

## 【 0 0 6 1 】

## 実施の形態 8.

差分圧縮処理のさらに他の例を本発明の実施の形態 8 として図 1 1 に示す。図 1 1 (a) は、実施の形態 8 に係る差分圧縮方法を説明するための概略図、同図 (b) はその差分圧縮を実現する構成例を示す概略ブロック図である。図 1 1 (a) に示す通り、CCD データ 4 0 は、隣接する 2 ライン L 1, L 2 間の点線で対応付けた垂直方向に隣接する 2 画素について同一色成分の画素値の差分値  $\Delta$  を算出し、2 ライン L 2, L 3 間、L 3, L 4 間、… についても同様に差分値を算

出することで差分データに変換される。図 1 1 (b) に示すように差分値算出手段 4 6 は前記差分データを生成し圧縮手段 3 1 A で圧縮した後に主メモリ 2 6 に転送して原画像データバッファ 2 6 a に格納させる。

#### 【 0 0 6 2 】

実施の形態 9 .

差分圧縮処理の他の例を本発明の実施の形態 9 として図 1 2 に示す。図 1 2 (a) は、実施の形態 9 に係る差分圧縮方法を説明するための概略図、同図 (b) はその差分圧縮を実現する構成例を示す概略ブロック図である。図 1 2 (a) に示す通り、CCD データ 4 0 は、1 ラインおきの 2 ライン L 1, L 3 間、L 2, L 4 間、L 3, L 5 間、…について、点線で示すように垂直方向に隣接する 2 画素の同一色成分の画素値の差分値を算出することで、差分データに変換される。図 1 2 (b) に示すように差分値算出手段 4 7 は前記差分データを生成し圧縮手段 3 1 A で圧縮した後に主メモリ 2 6 に転送して原画像データバッファ 2 6 a に格納させる。

#### 【 0 0 6 3 】

また CCD 画素上の色フィルタアレイの配列と駆動方式に従って、上記実施の形態 8 に係る差分値算出手段 4 6 と、上記実施の形態 9 に係る差分値算出手段 4 7 との何れか一方を選択するのが望ましい。色フィルタアレイの配列には各種あるが、例えばベイヤー方式の色フィルタアレイの基本形は、色フィルタを R (赤), G (緑), R, G, …の順序で配列した水平ライン (奇数ライン) と、G (緑), B (青), G, B, …の順序で配列した水平ライン (偶数ライン) とが垂直方向に交互に並んだものである。このような場合、同一色成分の画素は 1 ラインおきに現れるため、CCD が上記プログレッシブ方式で駆動されるとき、上記実施の形態 9 に係る差分値算出手段 4 6 を選択すれば同一色成分の画素値の差分圧縮が可能となる。またそのような色フィルタアレイをもつ CCD が上記インターレース方式で駆動されるとき、CCD データとして最初に読み出される奇数フィールドと次に読み出される偶数フィールドとに対してそれぞれ上記実施の形態 8 に係る差分値算出手段 4 6 を選択すれば同一色成分の画素値の差分圧縮が可能となる。

## 【 0 0 6 4 】

また、以上の実施の形態 6 ～ 9 において、原画像データバッファ 2 6 a に格納した圧縮データは伸長手段 3 1 B で伸長された後に R P U 1 4 に出力されるが、R P U 1 4 で上記実時間画像処理を実行する前に、伸長手段 3 1 B で伸長した伸長データ（差分圧縮信号）を差分圧縮前の元のデータに逆符号化する処理が実行される。

## 【 0 0 6 5 】

## 【発明の効果】

以上の如く、本発明の請求項 1 に係る画像処理回路によれば、原画像データを一旦圧縮してバッファ部に格納し、その圧縮データを伸長しながら読出して画像処理するから、メモリのバッファ領域を減らすことができる。このため C C D などの撮像素子の画素数などに合わせてメモリを最小化し、そのバッファ領域を最適化することが可能となる。

## 【 0 0 6 6 】

また請求項 2 によれば、前記第 2 フィールドの読出し期間中に、画像処理部で前記第 1 フィールドおよび第 2 フィールドの実時間画像処理を実行できるから、第 2 フィールドの読出しが終了した瞬間にその実時間画像処理を効率良く終了させることが可能となる。このため、例えば撮像した画像を時間の遅延を殆ど感じさせることなくファインダー表示することができる。

## 【 0 0 6 7 】

また請求項 3 によれば、C P U を介さずに前記圧縮手段および前記伸長手段と前記バッファ部との間でデータを直接転送できるから、データを高速で処理することが可能となる。特に、請求項 2 に係る画像処理回路を採用し、撮像素子をインターレース方式で駆動する場合、前記バッファ部に格納した第 1 フィールドを伸長手段に D M A 方式で高速転送して伸長しつつ、第 2 フィールドの読み出し期間中に前記画像処理部で画像処理を効率良く実時間処理できると共に、前記バッファ部に第 2 フィールドを一時格納する必要が無いためメモリ上のバッファ領域を削減することが可能となる。

## 【 0 0 6 8 】



また請求項 4 によれば、欠陥画素などを検出しても当該欠陥画素を含むブロックのみを補正したり他の正常ブロックに代替したりできるため、その影響を最小限且つ効率的に抑えることが可能となる。

【 0 0 6 9 】

また請求項 5 によれば、ブロック単位で予め特定された欠陥画素データを検出し補正するため、欠陥のあるブロックを効率良く補正し、高品位の画像を高速に表示し且つ保存することが可能となる。

【 0 0 7 0 】

また請求項 6 によれば、ブロック単位で欠陥画素データを検出し欠陥のあるブロックを正常なブロックに置き換えるため、欠陥のあるブロックを効率良く補正し、高品位の画像を高速に表示し且つ保存することが可能となる。

【 0 0 7 1 】

また請求項 7 によれば、ライン単位で欠陥を検出し当該欠陥を効率良く補正して、高品位の被写体画像を提供することが可能となる。

【 0 0 7 2 】

また請求項 8 によれば、画像データを高能率に符号化してバッファ領域に格納できるから、さらに CCD などの撮像素子の画素数などに合わせてメモリを最小化し、そのバッファ領域を最適化することが可能となる。

【 0 0 7 3 】

また請求項 9 ～ 1 2 によれば、画像データを高能率に圧縮符号化することが可能となる。

【 0 0 7 4 】

そして請求項 1 3 によれば、撮像素子の色フィルタアレイの配列に合致するように、同一色成分の画素の画素値の差分圧縮を実行することができる。

【図面の簡単な説明】

【図 1】

本発明の実施の形態に係るデジタルスチルカメラの全体構成を示す概略ブロック図である。

【図 2】

本発明の実施の形態に係るリアルタイム・プロセッシング・ユニット（RPU）の構成例を示すブロック図である。

【図 3】

本発明の実施の形態 1 に係る画像処理回路による画像信号処理の流れを示す概略ブロック図である。

【図 4】

実施の形態 1 の変形例に係る画像処理回路による画像信号処理の処理の流れを示す概略ブロック図である。

【図 5】

本発明の実施の形態 2 に係る画像処理回路による画像信号処理の流れを示す概略ブロック図である。

【図 6】

本発明の実施の形態 3 に係る画像処理回路による画像信号処理の流れを示す概略ブロック図である。

【図 7】

本発明の実施の形態 4 に係る画像処理回路による画像信号処理の流れを示す概略ブロック図である。

【図 8】

本発明の実施の形態 5 に係る画像処理回路による画像信号処理の流れを示す概略ブロック図である。

【図 9】

（a）は、本発明の実施の形態 6 に係る差分圧縮方法を示す説明図、（b）はその差分圧縮を実現する構成例を示す概略ブロック図である。

【図 1 0】

（a）は、本発明の実施の形態 7 に係る差分圧縮方法を示す説明図、（b）はその差分圧縮を実現する構成例を示す概略ブロック図である。

【図 1 1】

（a）は、本発明の実施の形態 8 に係る差分圧縮方法を示す説明図、（b）はその差分圧縮を実現する構成例を示す概略ブロック図である。

【図 1 2】

(a) は、本発明の実施の形態 9 に係る差分圧縮方法を示す説明図、(b) はその差分圧縮を実現する構成例を示す概略ブロック図である。

【図 1 3】

一般的なデジタルスチルカメラの構成例を示す概略図である。

【図 1 4】

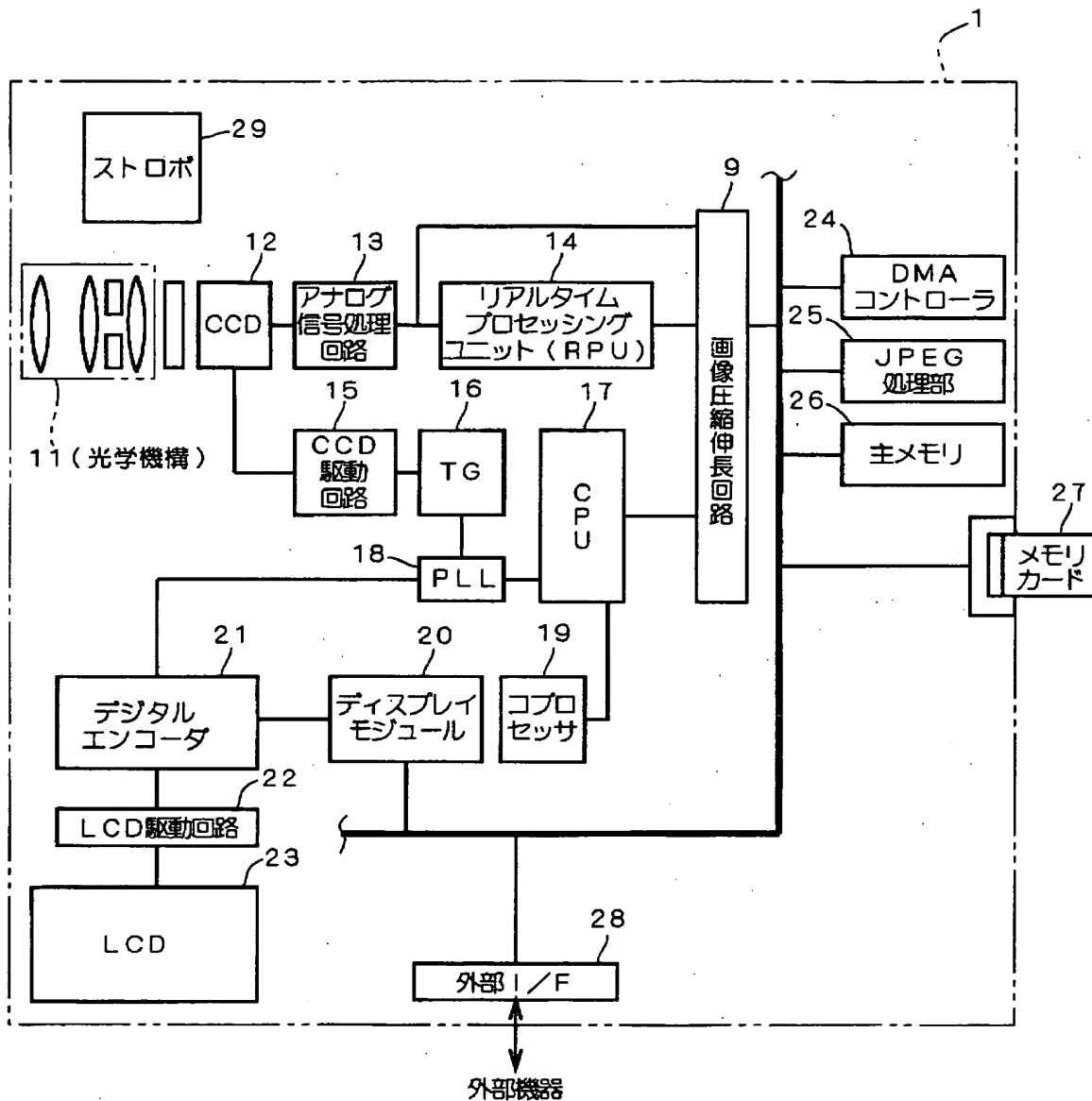
従来の画像信号処理の流れの例を示すブロック図である。

【符号の説明】

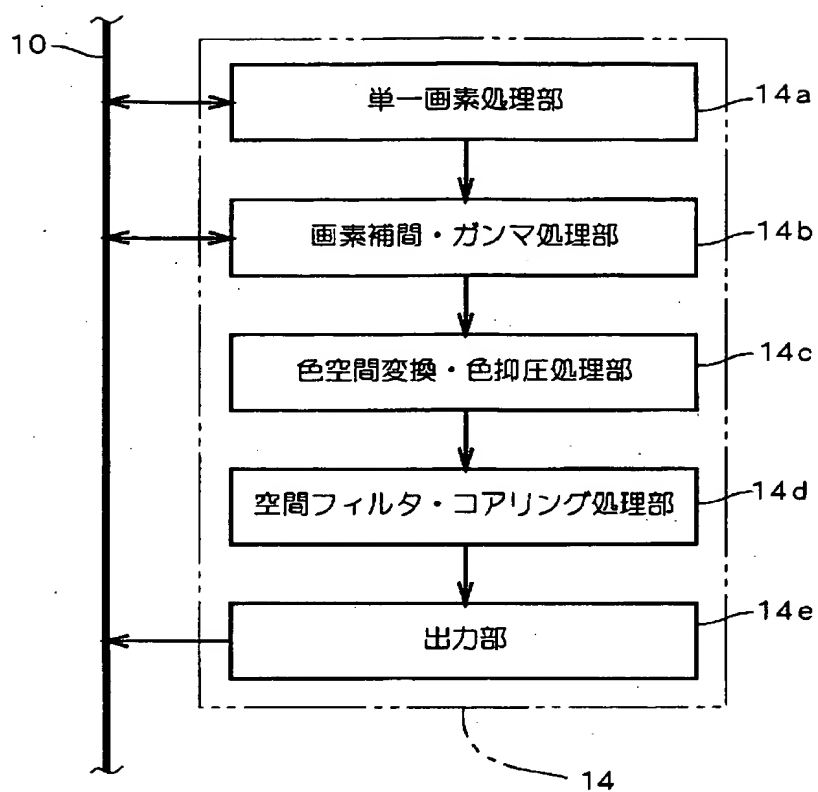
- 1 デジタルスチルカメラ
- 9 画像圧縮伸長回路
- 10 メインバス
- 11 光学機構

【書類名】 図面

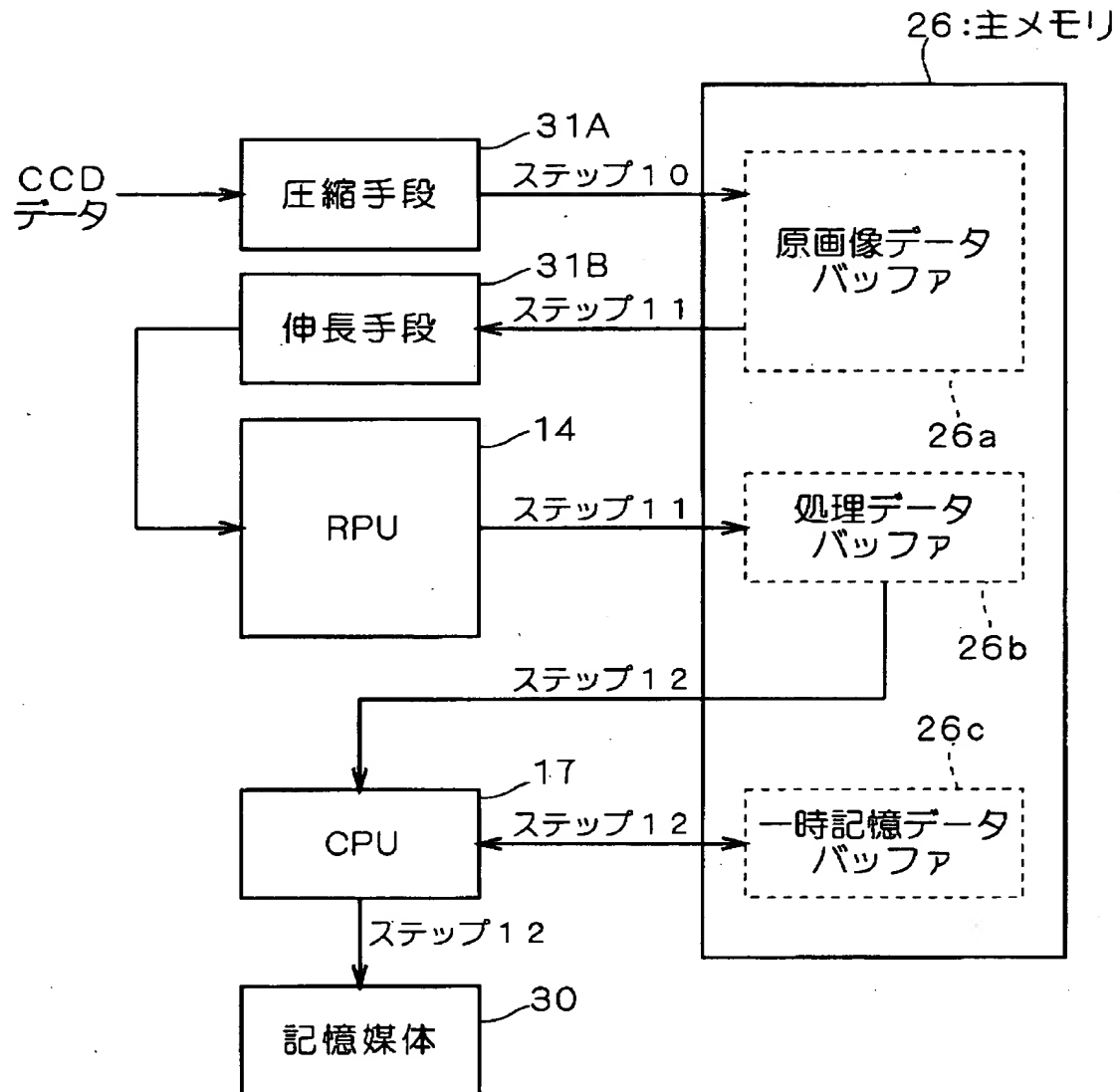
【図 1】



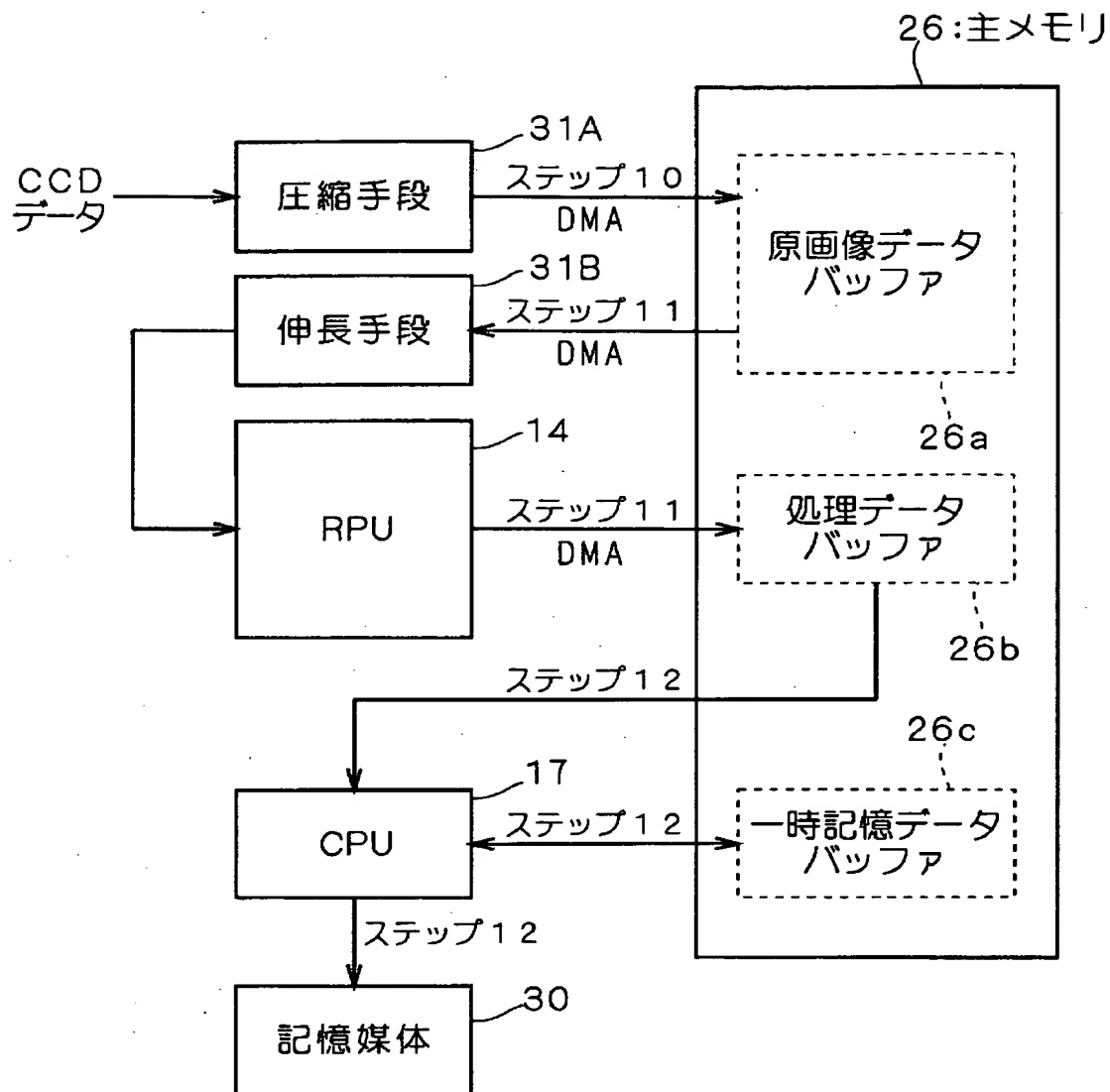
【図2】



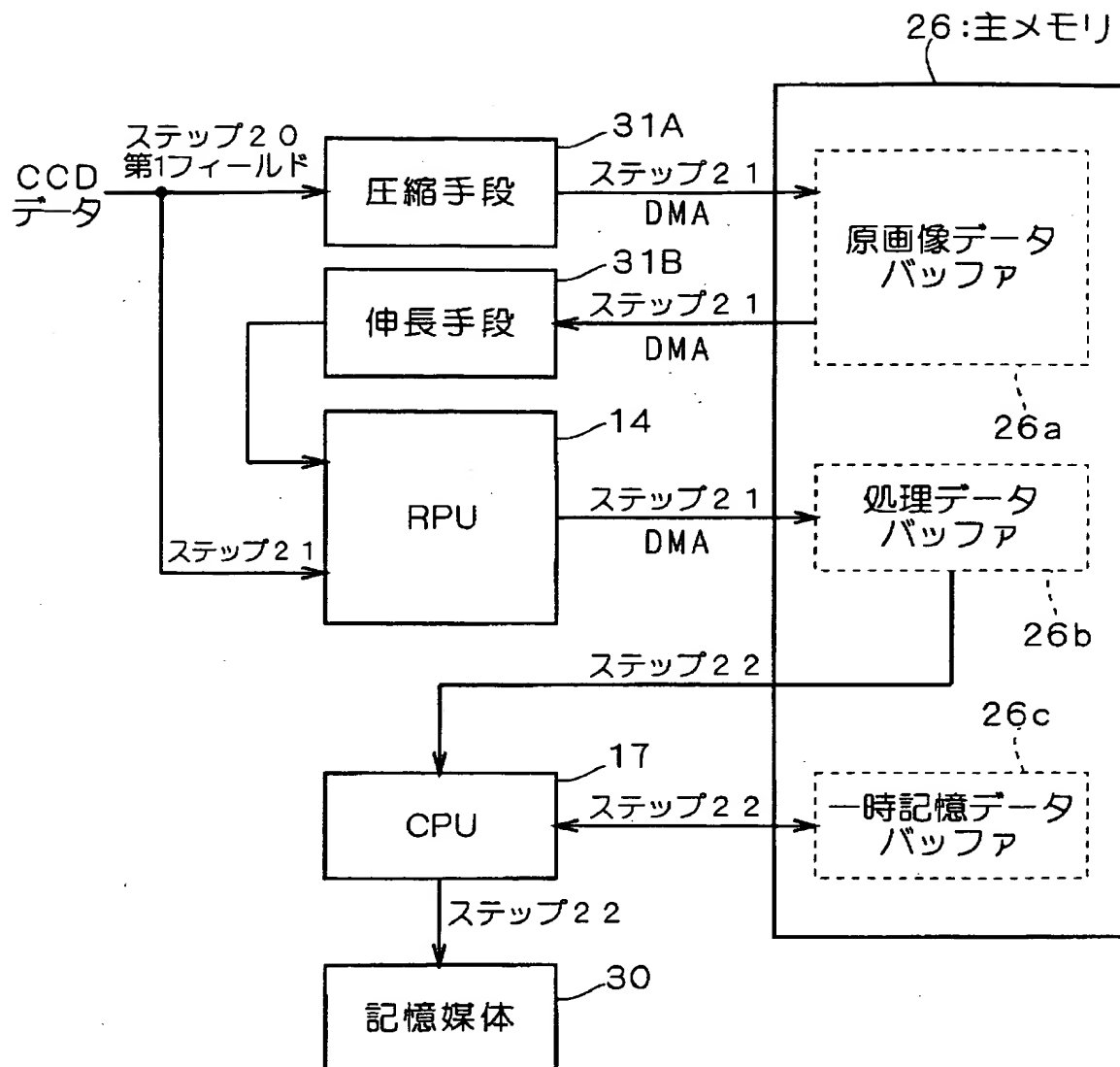
【図 3】



【図4】

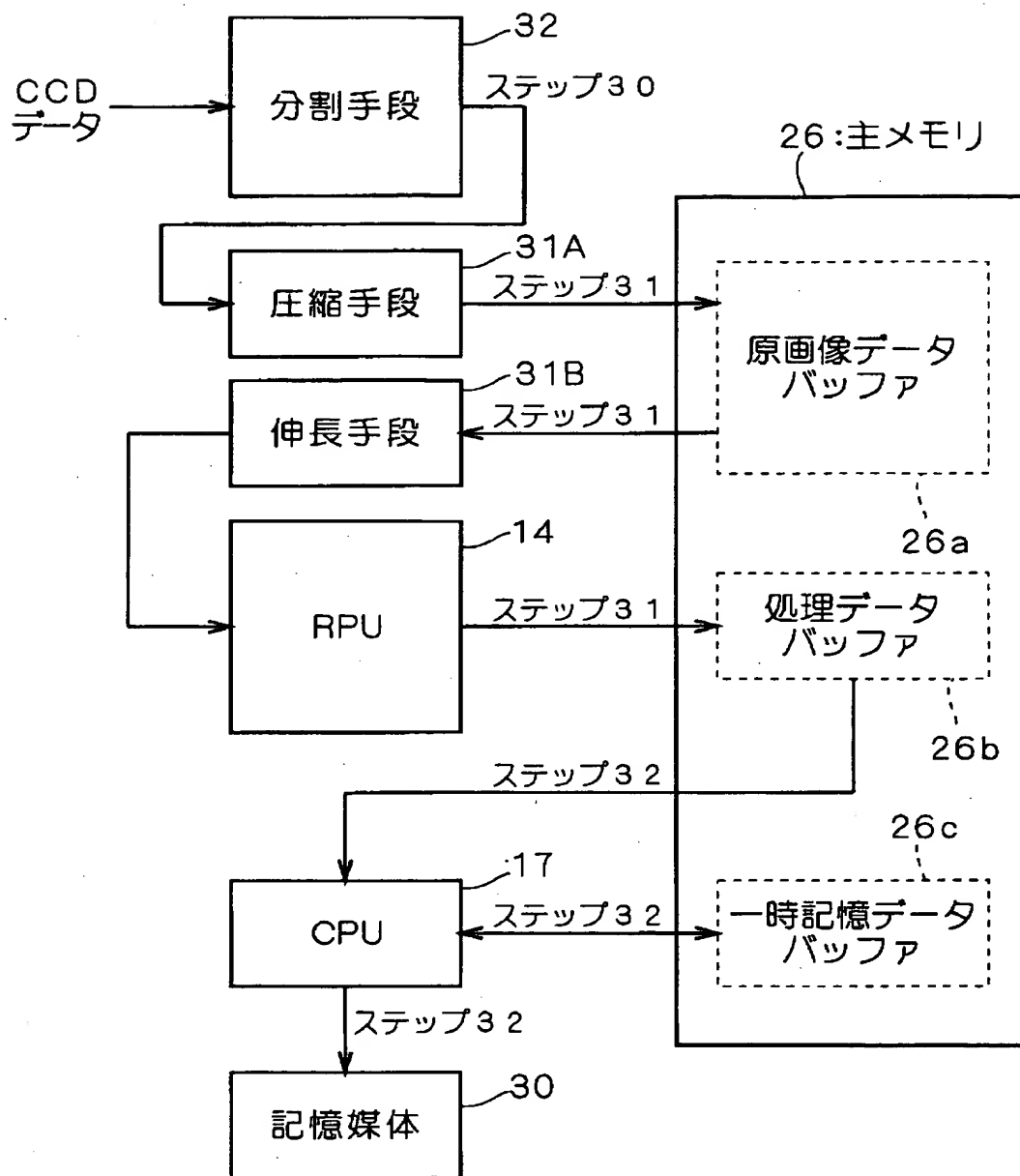


【図5】

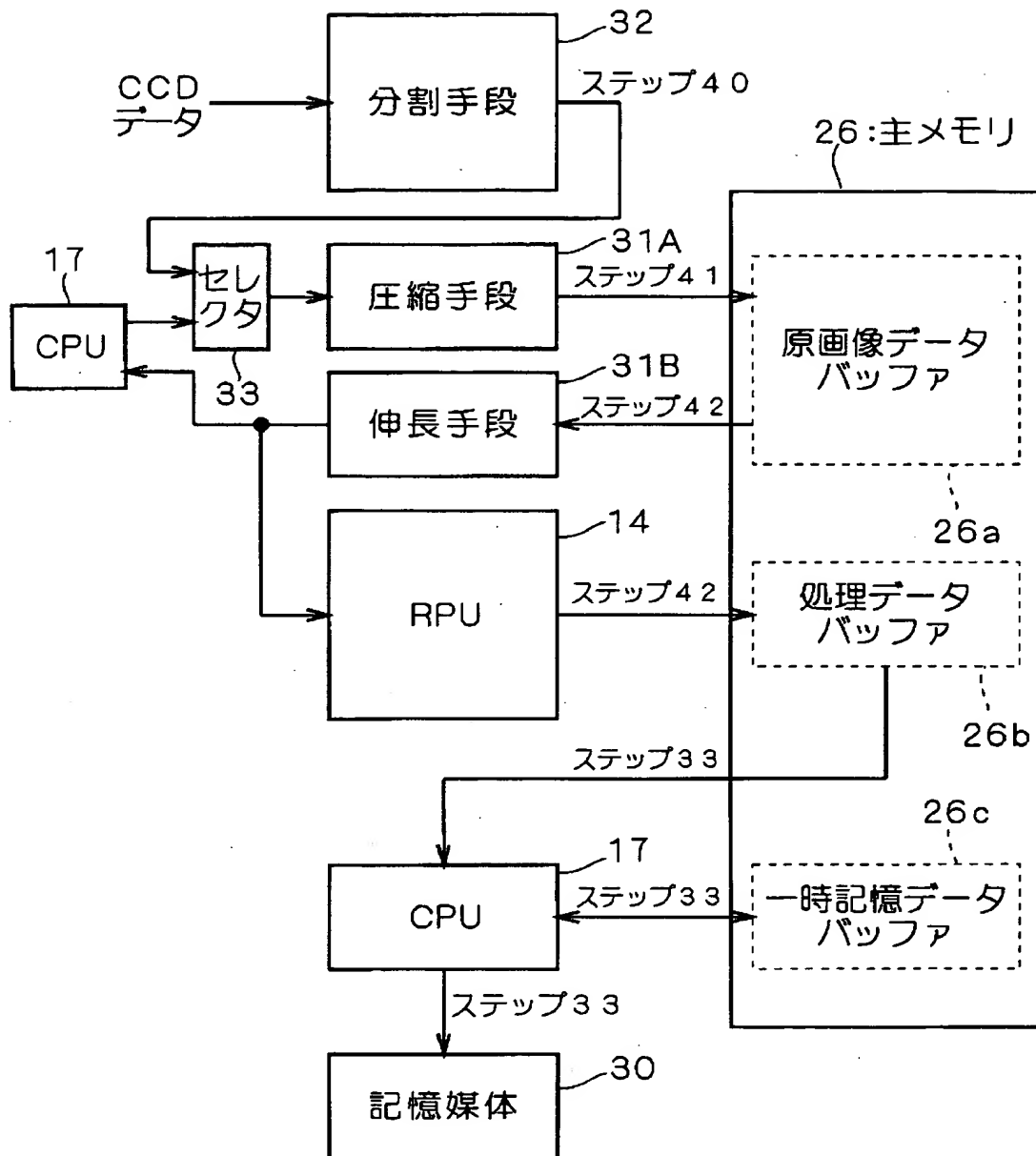




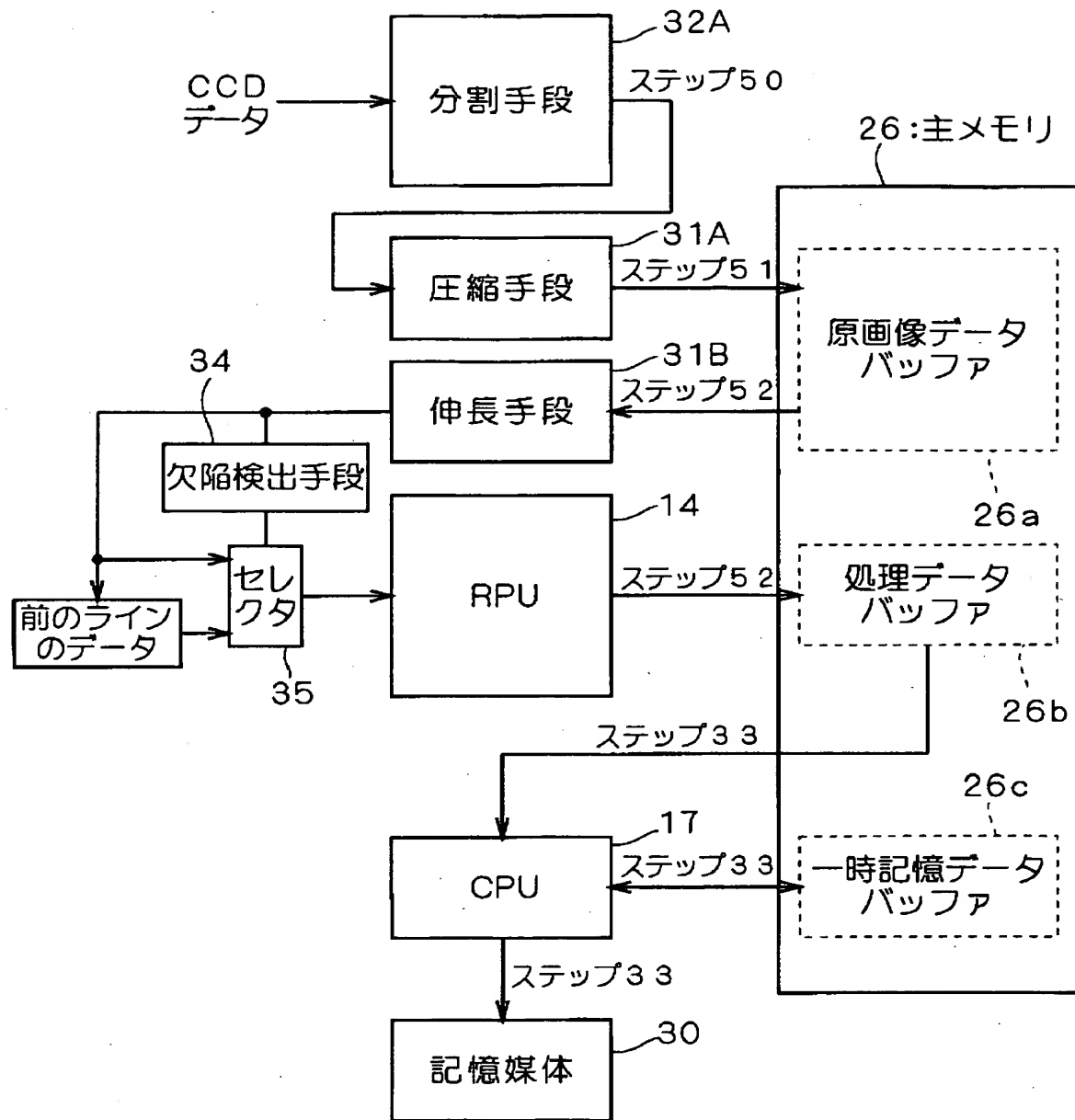
【図6】



【図 7】



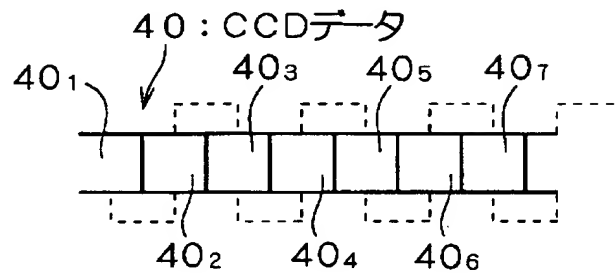
【図 8】



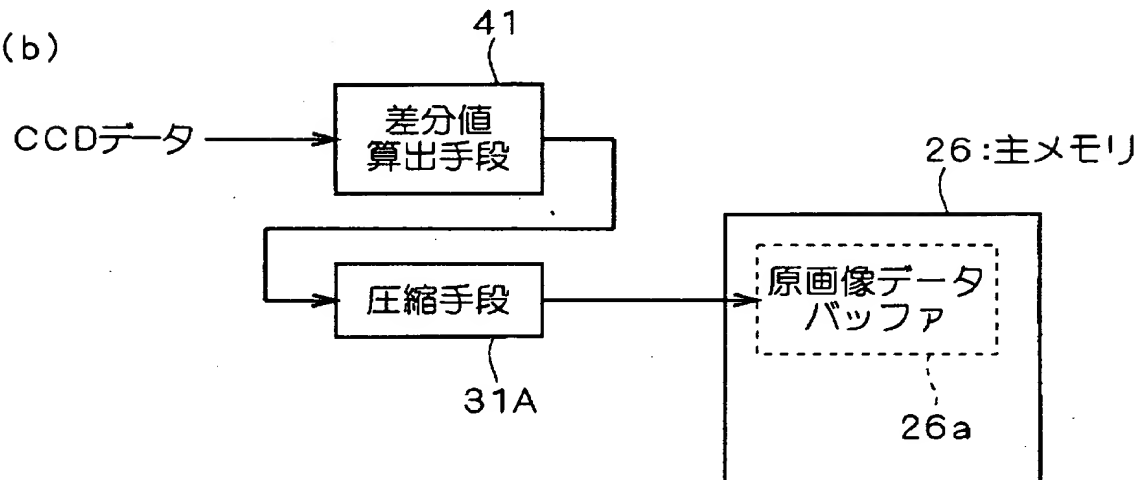
【図 9】

(a)

隣接する画素の差分値を計算



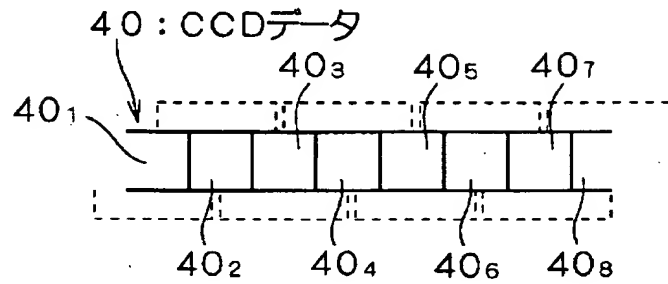
(b)



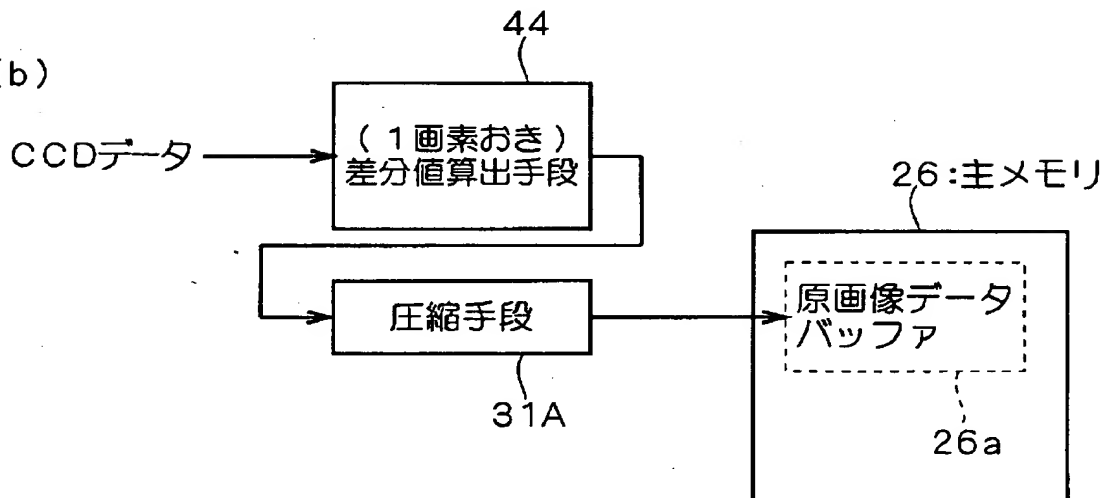
【図 1 0】

(a)

1 画素おき画素の差分値を計算



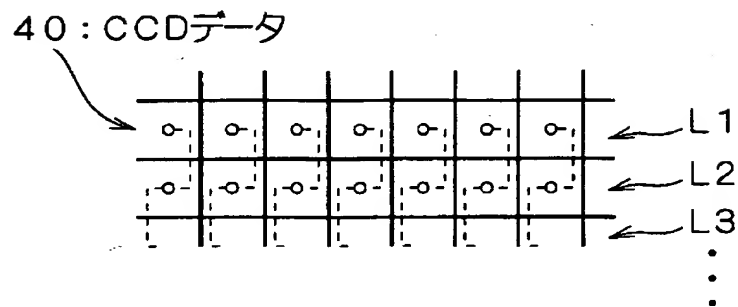
(b)



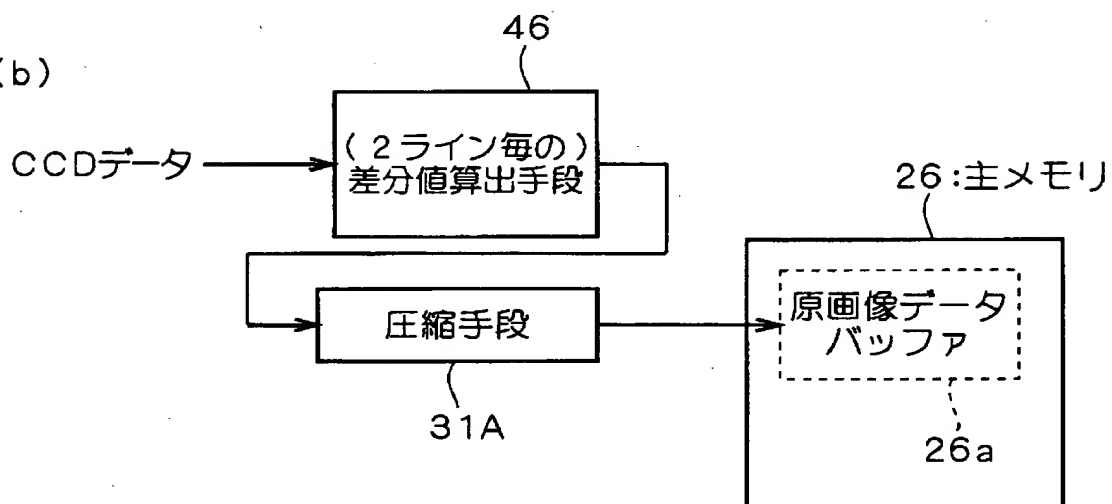
【図11】

(a)

隣接する2ラインの上下2画素の差分値を計算



(b)

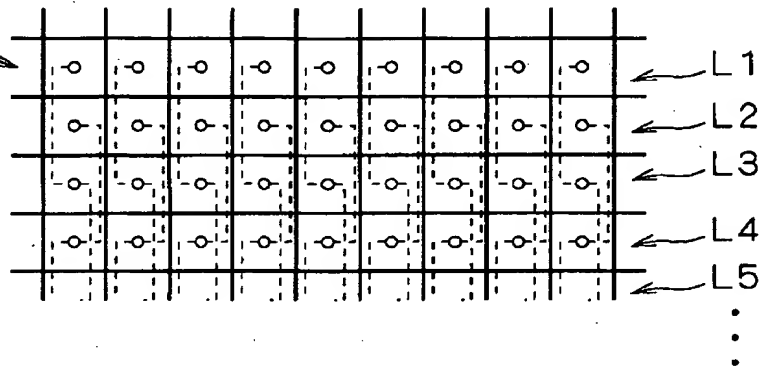


【図12】

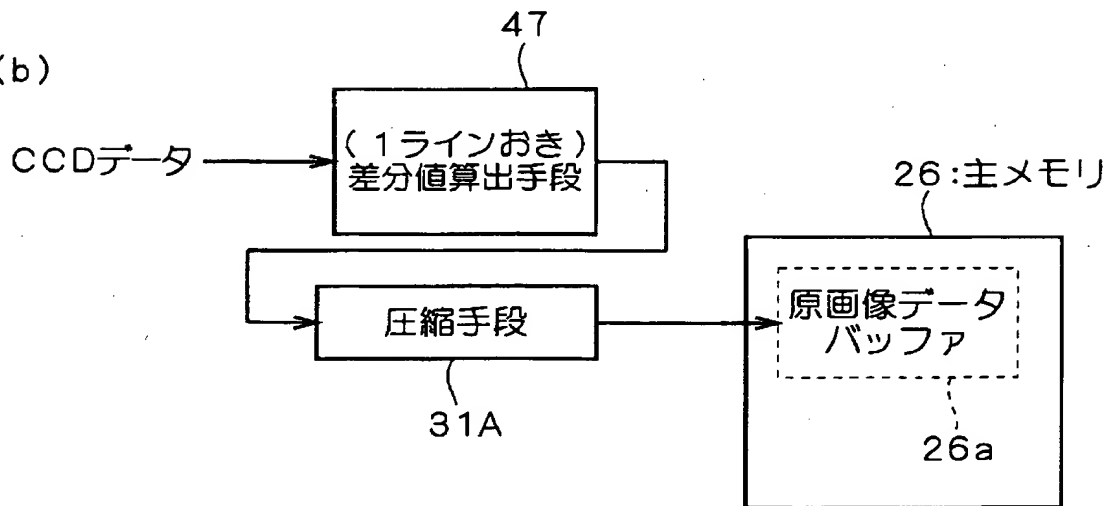
(a)

1ラインおきの2ラインの上下2画素の差分値を計算

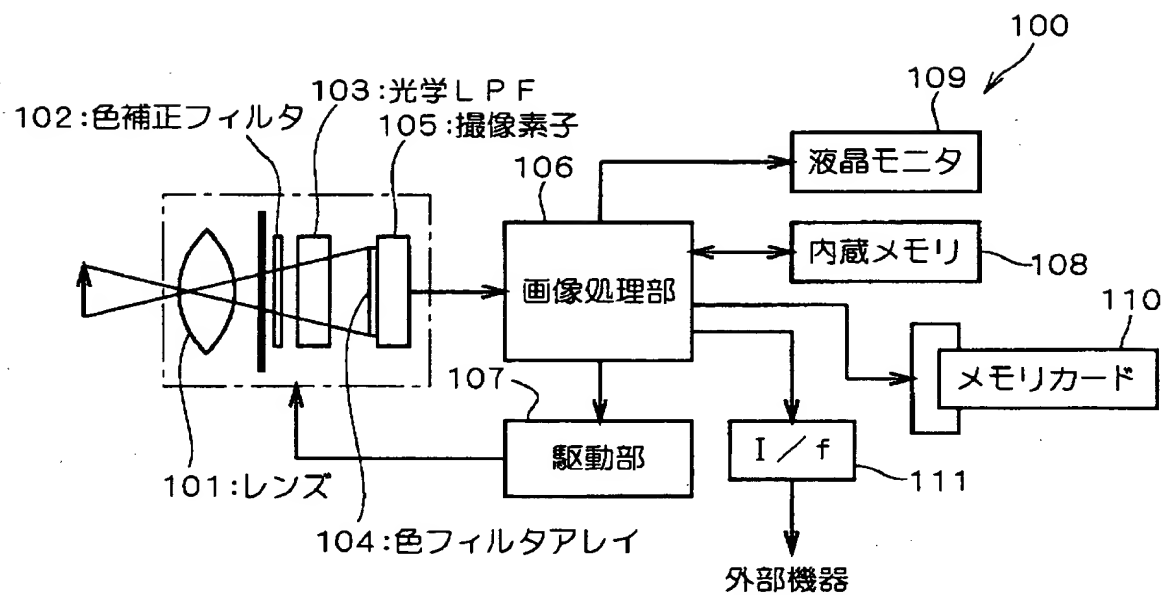
40: CCDデータ



(b)

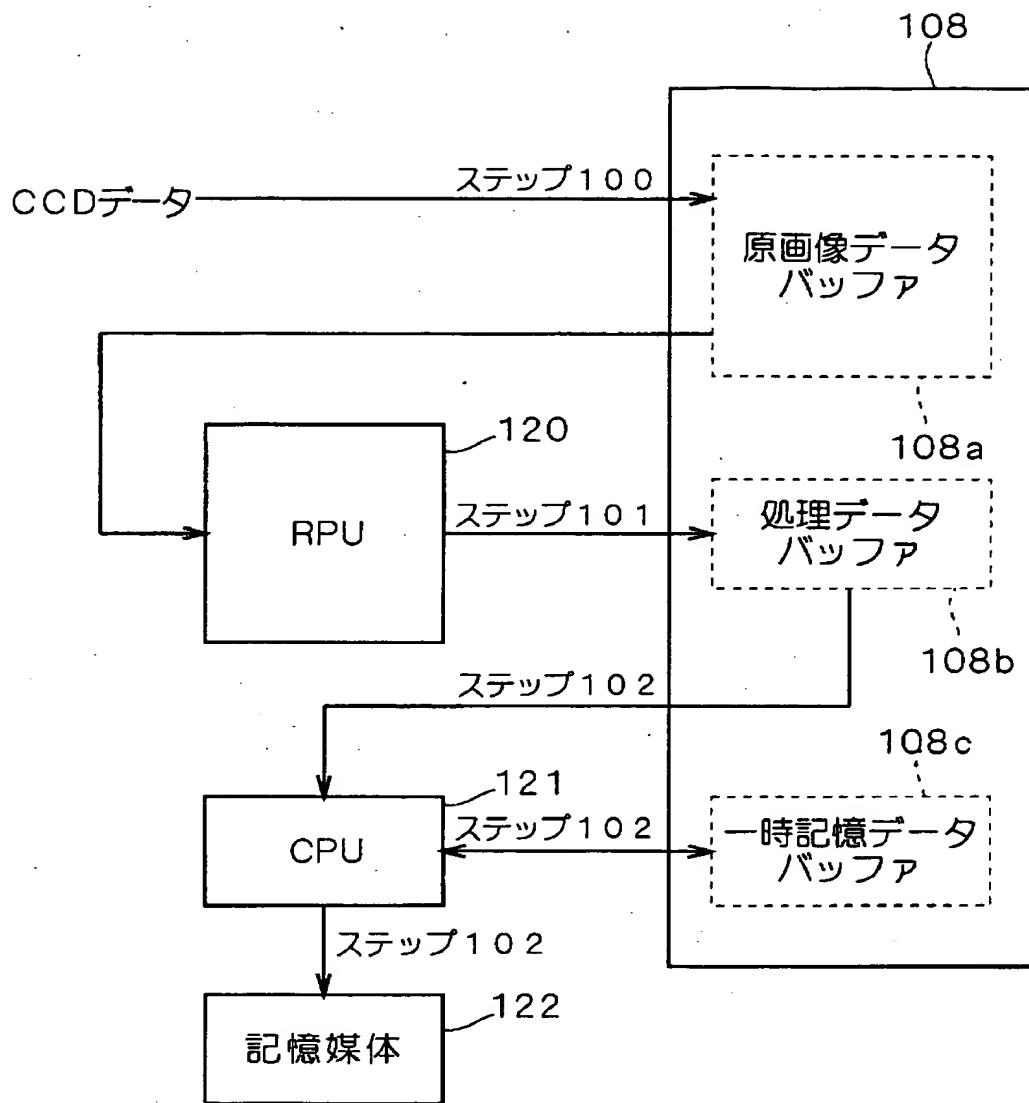


【図 1 3】





【図14】



【書類名】            要約書

【要約】

【課題】    メモリに設けるバッファ領域を削減し得て、メモリのコストと消費電力を大幅に削減し得る画像処理回路を提供する点にある。

【解決手段】    CCDデータは圧縮手段31Aで圧縮され、原画像データバッファ26aに格納される（ステップ10）。次にその圧縮データは伸長手段31Bで伸長され、その画素データが上記RPU14に順次出力される（ステップ11）。またRPU14は前記画素データに対して実時間画像処理を実行し、その処理データはフレーム単位で処理データバッファ26bに格納される。次にCPU17は適当なタイミングで画像を処理データバッファ26bから読出し、一時記憶データバッファ26cを利用して高能率符号化処理などのソフトウェア処理を施し、その処理データを記憶媒体30に格納し保存する（ステップ12）。

【選択図】            図3

出 願 人 履 歴 情 報

識別番号

[591128453]

1. 変更年月日 2000年 4月13日

[変更理由] 住所変更

住 所 大阪市淀川区宮原4丁目1番6号

氏 名 株式会社メガチップス